10К

УДК 004.681.324

В.Б. Коваленко [1], М.С. Кочерга [1], Е.А. Семерников [2]
[1] НИИ многопроцессорных вычислительных систем имени академика А.В. Каляева Южного федерального университета, г. Таганрог, Россия
[2] Южный научный центр РАН, г. Ростов-на-Дону, Россия
semernikov@mvs.tsure.ru

Реконфигурируемые вычислительные системы для цифровой обработки сигналов

В статье рассматриваются вопросы решения задач цифровой обработки сигналов на реконфигурируемых вычислительных системах с макрообъектной архитектурой.

Введение

Высокая реальная производительность и эффективность реконфигурируемых вычислительных систем (РВС), построенных на программируемых логических интегральных схемах (ПЛИС), позволяет использовать их в различных предметных областях, в том числе и таких, где требуется высокопроизводительная цифровая обработка сигналов (ЦОС). В то время как системы ЦОС, выполненные на DSP-процессорах, находят применение в специализированных устройствах, в том числе и в бортовом исполнении, существуют задачи, решаемые на многопроцессорных системах, которые содержат фрагменты ЦОС. К таким задачам можно отнести задачи математической физики, решаемые спектральными методами, задачи, включающие обработку изображений, задачи зондирования приповерхностных слоев земли и т.п. В этом плане становится актуальной проблема реализации алгоритмов ЦОС в РВС, которые эффективно справляются с такого рода задачами. Основу многих алгоритмов обработки сигналов составляют быстрые алгоритмы ортогональных преобразований, на основании которых строятся эффективные алгоритмы ЦОС. В журнале «Искусственный интеллект» вышел целый ряд статей, посвященных обработке сигналов в РВС [1-3]. Предлагаемая статья освещает вопросы быстрой фильтрации действительных сигналов большого размера с использованием макрообъекта ЦОС-7.2, создаваемого в вычислительном поле РВС.

РВС с макрообъектной архитектурой

Считается, что программирование РВС является весьма трудным и сложным делом, поскольку для этого привлекаются как специалисты-схемотехники, создающие вычислительные структуры в поле логических блоков ПЛИС, так и программисты (в традиционном понимании) для программирования процесса подачи данных в созданные вычислительные структуры. По сути дела, программирование РВС заключается в создании в ее базовой архитектуре специализированной вычислительной системы, позволяющей эффективно решать конкретную прикладную задачу [4]. Однако процесс программирования можно существенно облегчить, если использовать возможности макрообъектной архитектуры РВС, допускающей двухуровневое программирование.

На аппаратном уровне схемотехник, используя возможности САПР ПЛИС, создает специализированные функциональные узлы – макрообъекты, ориентированные на проблемную область решаемой задачи, а также коммутационные средства, обеспечивающие возможности их объединения в вычислительные структуры. Библиотеки макрообъектов для различных предметных областей могут быть созданы заранее. На втором уровне в процессе создания прикладной программы пользователь настраивает макрообъекты и осуществляет их объединение в вычислительные структуры, адекватные структуре решаемой задачи. Стоимость и время программирования РВС при этом становятся существенно меньше за счет заранее подготовленных технических решений – макрообъектов, а главное, время перепрограммирования вычислительного поля будет зависеть только от времени загрузки параметров и срабатывания коммутатора.

Макрообъектом называется архитектурно неделимая совокупность функциональных узлов (объектов), объединенных пространственной коммутационной системой в проблемно-ориентированную вычислительную структуру. Фактически макрообъект является некоторой «заготовкой», которая может доопределяться пользователем в процессе создания конкретного технического решения, а затем тиражироваться в схемотехническом ресурсе РВС в необходимом количестве и соединяться с подобными или другими макрообъектами в вычислительные структуры, которые оптимально соответствуют структуре решаемой задачи.

В качестве примера рассмотрим структуру макрообъекта ЦОС-7.2, который создан для реализации алгоритмов цифровой обработки сигналов и при помощи которого пользователь может решать большое количество задач, основанных на быстром преобразовании Фурье. При этом перенастройка макрообъекта на решение очередной задачи не требует привлечения схемотехника и перезагрузки конфигурационных файлов ПЛИС, а производится путем изменения параметров настройки.

Техническая реализация макрообъекта представляет собой набор программных и аппаратных средств, разработанных для решения задач той или иной предметной области. Программный фрагмент макрообъекта состоит из двух составных частей: управляющей программы, осуществляющей обмен данными между персональным компьютером и РВС, и программы на языке ассемблера Argus, управляющей работой распределенной памяти вычислительной системы. Управляющая программа формирует последовательность входных данных в соответствии с выбранным алгоритмом обработки. Наряду с входными данными и характеристиками фильтра управляющая программа загружает параметры, при помощи которых макрообъект настраивается на решение выбранной пользователем задачи.

Макрообъект ЦОС-7.2

На рис. 1 представлена укрупненная структурная схема макрообъекта ЦОС-7.2. Макрообъект предназначен для выполнения алгоритмов БПФ, ОБПФ и быстрой свертки. Размеры преобразований и сверток могут составлять $N1 = 2^{n1}$, где $n1$ программируется в пределах от 4 до 12. Макрообъект содержит контроллер распределенной памяти (КРП), позволяющий работать одновременно с реальными и мнимыми частями комплексных чисел, блок конвертирования форматов данных, блок управления, два блока КЭШ-памяти, каждый из которых содержит адресный процессор и двухпортовое ОЗУ глубиной 4096 64-разрядных слов, конвейер из восьми вычислительных блоков – ВБ и блок масштабирования – БлМ.

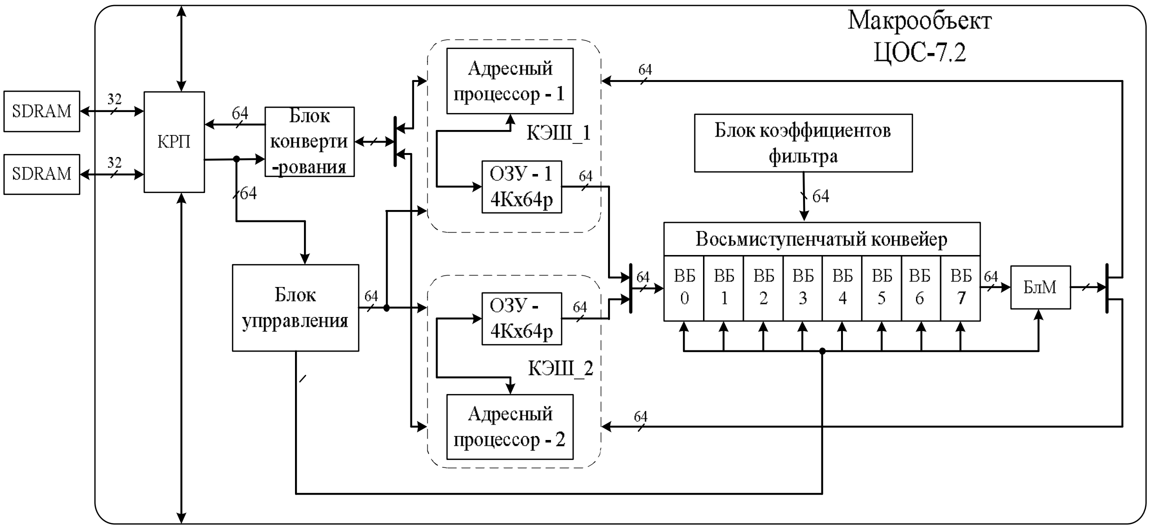


Рисунок 1 – Укрупненная структурная схема макрообъекта ЦОС-7.2

Контроллер распределенной памяти является основным узлом, организующим вычислительный процесс в РВС со структурно-процедурным принципом организации вычислений. Метод потока операндов, используемый в РВС, предусматривает использование КРП в качестве активных управляющих устройств. Несмотря на необходимость написания программ для каждого КРП, входящих в состав вычислительных структур, данный подход представляется наиболее эффективным с точки зрения минимизации аппаратных затрат. Более подробно с принципами работы КРП можно познакомиться в [4].

КЭШ-память, содержащая двухпортовое ОЗУ и адресный процессор, предназначена для оперативного хранения промежуточных результатов в процессе выполнения алгоритмов БПФ, ОБПФ и быстрых сверток [3], [5]. Наличие в составе макрообъекта КЭШ-памяти обусловлено сложными типами адресации и необходимостью обеспечения плотных (без пропусков) потоков данных. Память SDRAM типа DDR или DDR2, на основе которой выполнена распределенная память РВС, обеспечивает экономичное хранение информации большого объема, однако эффективна только при блочном доступе к информации, не позволяющем реализовывать нестандартные типы адресации данных, которые используются в алгоритмах цифровой обработки сигналов для перестановки элементов цифровых последовательностей.

Блок конвертирования данных выполняет перевод упакованных целочисленных данных, представленных в дополнительном или прямом коде в формат 32-разрядных чисел типа float стандарта IEEE-754, а также обратное преобразование 32-разрядных чисел типа float в упакованное число. Блок конвертирования допускает работу с двумя форматами 32-разрядных упакованных данных: 4-байтных или 2-байтных целых числа со знаком в дополнительном коде.

Вычислительный блок ВБ выполняет арифметические преобразования информации в формате с плавающей запятой над 32-разрядными операндами в соответствии с алгоритмами базовых операций БПФ и ОБПФ по частоте, вычисление коэффициента $\dot{W}_t$ и поэлементное взвешивание на коэффициенты ядра свертки $\dot{H}_i$ и $\dot{H}_{i+1}$ [1], [4], [6].

Организация структурно-процедурных вычислений для алгоритмов БПФ и вычисление быстрых сверток описаны в [3-6].

Реализация макрообъекта ЦОС-7.2 на базовом модуле РВС

Рассмотрим техническую реализацию макрообъекта ЦОС-7.2 в аппаратном ресурсе базового модуля 16V4-50 (рис. 2).

Базовый модуль 16V4-50 содержит вычислительное поле из 16 ПЛИС XC4VL X40-10FF1148 фирмы Xilinx, которые расположены в узлах двумерной решетки 4 × 4, 16 каналов распределенной памяти, выполненных на микросхемах MT48LC16M32S2 с организацией $16{\times}2^{20}$ 32-разрядных слов. Общий объем распределенной памяти составляет 1 Гбайт. К периферийным микросхемам вычислительного поля подключены по два канала распределенной памяти, которые могут быть как независимыми – два банка $16{\times}2^{20}$ 32-разрядных слов, так и объединенными в один банк $16{\times}2^{20}$ 64-разрядных слов. В макрообъекте ЦОС-7.2 используется контроллер распределенной памяти, который позволяет обращаться в одном такте к двум 32-разрядным каналам, имитируя, тем самым, 64-разрядную память.

На основе базового модуля 16V4-50, имеющего пиковую производительность 50 Гфлопс, можно строить РВС с производительностью до 1 Тфлопс.

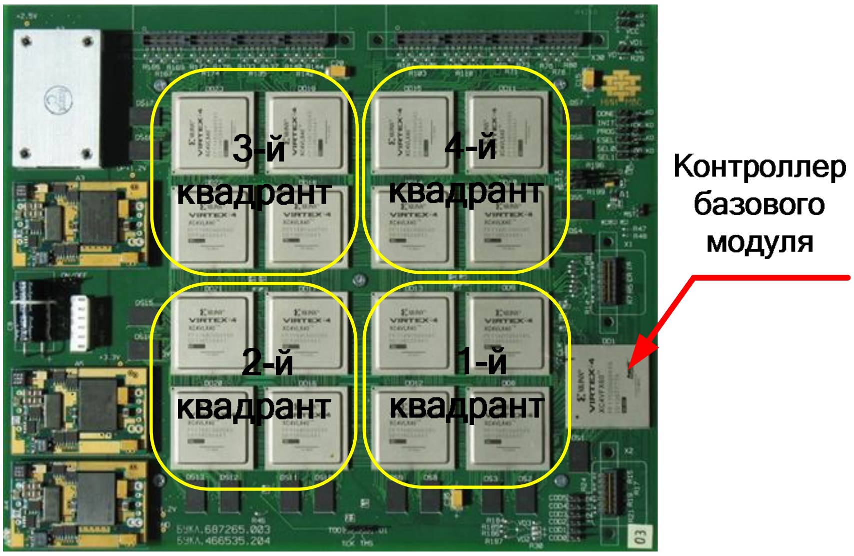


Рисунок 2 – Базовый модуль 16V4-50

Для настройки макрообъекта ЦОС-7.2 требуется 22 параметра разрядностью 64 бита, которые, с учетом тактовой частоты работы макрообъекта в 160 МГц, выполняют его программирование всего за $140{\times}10^{-9}$ секунд. Для сравнения – без использования макрообъектной архитектуры в случае перепрограммирования на другие задачи потребовалась бы перезагрузка конфигурации вычислительного поля, что занимает около 10 секунд.

Производительность макрообъекта ЦОС-7.2 при решении задачи фильтрации методом быстрой свертки на сигнале длиной около 395 миллионов отсчетов фильтром с импульсной характеристикой 700 отсчетов составила 9,7 Гфлопс.

Поскольку макрообъект ЦОС-7.2 при его реализации на базовом модуле 16V4-50 занимает ресурс всего четырех ПЛИС, то с целью достижения возможно высокой производительности на задачах фильтрации в 16V4-50 были реализованы четыре макрообъекта каждый в своем квадранте, отмеченном на рис. 2. В общем случае такое

расположение макрообъектов не обязательно, и они могут располагаться, например, в горизонтальных или вертикальных линейках ПЛИС вычислительного поля. Соединение макрообъектов друг с другом и с контроллером базового модуля осуществляется по шинам, соединяющим контроллеры распределенной памяти (КРП), как это показано на рис. 3.

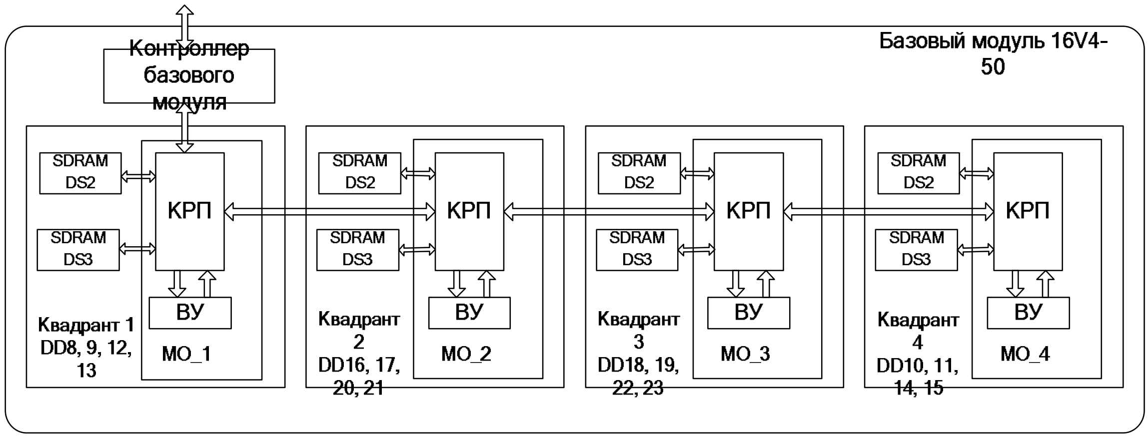


Рисунок 3 – Соединение четырех макрообъектов ЦОС-7.2 в базовом модуле 16V4-50

Производительность базового модуля 16V4-50 с четырьмя макрообъектами ЦОС-7.2 на задаче фильтрации методом быстрой свертки сигнала длиной около 395 миллионов отсчетов фильтром с импульсной характеристикой 700 отсчетов составила 38,6 Гфлопс, что составляет 77,2% от его пиковой производительности.

Алгоритмическое обеспечение макрообъекта ЦОС-7.2

Рассмотрим алгоритмическое обеспечение задачи фильтрации действительных сигналов на макрообъектах ЦОС-7.2. Дело в том, что действительные сигналы имеют симметричные спектры, в то время как алгоритмы ДПФ и БПФ определены для обработки комплексных сигналов, не обладающих свойством симметрии. Поэтому алгоритм БПФ при вычислении спектра действительных сигналов обладает примерно двукратной избыточностью. Для того чтобы поднять эффективность алгоритма БПФ при обработке действительных сигналов, используют методы, которые устраняют избыточность [7]. Один из методов предполагает нахождение спектра одновременно двух действительных сигналов с последующим разделением спектров, используя незначительное количество операций суммирования. Другой предполагает формирование из одного действительного сигнала одного комплексного половинной длины с последующим нахождением спектра укороченного комплексного сигнала и дальнейшим формированием спектра исходного действительного сигнала. При этом формирование спектра исходного действительного сигнала требует помимо операций сложения также $N/4$ операций комплексного умножения на поворачивающие множители из набора коэффициентов ДПФ размера N.

Однако при выполнении алгоритма фильтрации действительных сигналов методом быстрой свертки можно дополнительно уменьшить количество вычислительных операций. Опираясь на свойства линейности операций свертки и ДПФ, можно не выполнять операции по выделению отдельных спектров действительных сигналов, что дополнительно сократит количество операций. Ниже приводится обоснование такого подхода.

Сформируем комплексный сигнал $x12(n)$ из двух действительных $x1(n)$ и $x2(n)$

$$x12(n) = x1(n) + j \cdot x2(n). \qquad (1)$$

Пусть $X12(k)$, $X1(k)$ и $X2(k)$ – спектры сигналов $x12(n)$, $x1(n)$ и $x2(n)$, тогда на основании свойств линейности БПФ можно записать

$$X12(n) = X1(n) + j \cdot X2(n).$$

Выполним умножение $X12(k)$ на спектр коэффициентов фильтра $H(k)$

$$Y12(k) = X12(k) \cdot H(k) = X1(k) \cdot H(k) + j \cdot X2(k) \cdot H(k) = Y1(k) + j \cdot Y2(k).$$

Выполнив алгоритм обратного БПФ, получим

$$y12(n) = y1(n) + j \cdot y2(n).$$

Из приведенных рассуждений видно, что можно с помощью алгоритма быстрой свертки одновременно обработать либо два сигнала $x1(n)$ и $x2(n)$, либо сократить вдвое длину одного сигнала, представив его в виде комплексного по приведенному выше алгоритму. При этом результат фильтрации сигнала $x1(n)$ будет находиться в реальной части комплексного результата, а результат фильтрации сигнала $x2(n)$ − в мнимой части комплексного результата быстрой свертки.

Фильтрация сигналов большой длины методом секционирования с применением макрообъекта ЦОС-7.2 вносит свои особенности в формирование входного сигнала. Особенности формирования входного сигнала связаны как с использованием вышеописанного алгоритма, так и с распределением данных в вычислительной структуре базового модуля, содержащей четыре макрообъекта. Для их совместной параллельной работы данные перед загрузкой в память вычислительной системы должны быть разделены. В случае нашего примера при использовании четырех макрообъектов и приведенного выше алгоритма обработки действительного массива формирование комплексного сигнала производится по следующему алгоритму.

По приведенной ниже формуле подсчитывается общее количество секций K исходного массива x, которое необходимо для выполнения быстрой свертки методом секционирования.

$$K = ceil\left(\frac{N - N1}{N1 - L}\right) + 1,$$

где N – длина массива x; $N1$ – длина одной секции; L – длина импульсной характеристики, функция $ceil(a)$ округляет значение a до ближайшего большего целого.

Количество секций должно быть кратным восьми, поскольку массив x разбивается на восемь частей – для четырех макрообъектов и внутри каждого макрообъекта происходит разделение действительного массива на реальную и мнимую части (рис. 4). Для обеспечения нужного количества секций входной массив x необходимо дополнить нулями до соответствующего размера $N_д$,

$$N_д = K1 \times (N1 - L) + L,$$

где $K + 8 > K1 \geq K$ – количество секций, кратное восьми.

Как показано на рис. 4, при использовании описанного выше метода любое разделение массивов должно производиться с учетом перекрытия секций, при этом размер перекрытия, как и длина секции, могут быть различны и зависят от входного сигнала и длины импульсной характеристики.

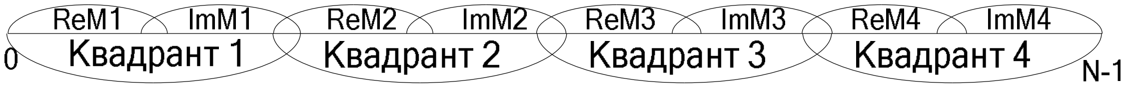


Рисунок 4 – Схема разделения исходного массива макрообъектам 1, 2, 3, 4

Поскольку весь исходный массив должен быть отфильтрован как единое целое, то его сборка из четырех результирующих комплексных массивов должна производиться с учетом перекрытия.

Количество данных при подобном подходе может увеличиться на 7 секций, однако при большом количестве данных на производительность это практически не влияет, а простота формирования окончательного результата позволяет снизить нагрузку на персональный компьютер, что немаловажно, учитывая его загруженность процессами обмена.

Программный макрообъект для цифровой обработки сигналов

Макрообъект для цифровой обработки сигналов может быть создан с использованием программного подхода, который предполагает участие пользователя с квалификацией программиста. Схемотехник выполняет только предварительную работу на этапе создания специальных библиотечных элементов для данной предметной области. Библиотечные элементы могут вызываться как специальные функции средствами языка высокого уровня COLAMO, ориентированного на написание параллельных программ для РВС. Программист на языке COLAMO, используя специальные функции, создает параллельную программу для ЦОС, которая в результате трансляции создает в вычислительном поле РВС необходимые проблемно-ориентированные макрообъекты для решения прикладной задачи. Пример создания программного макрообъекта описан в [8].

Структура программного макрообъекта, разработанного с использованием специальных функций из библиотеки «LibDSP», является конвейерной, что позволяет начинать обработку следующей секции, не ожидая окончания обработки предыдущей. Это значительно ускоряет обработку массива в целом и организует плотный поток данных как на входе, так и на выходе макрообъекта, не затрачивая времени на выполнение дополнительных операций чтения и записи КРП.

Специальные функции библиотеки «LibDSP» позволяют транслятору создать компактное конвейерное устройство, обеспечивающее эффективное решение задач ЦОС, и требуют всего три канала распределенной памяти на 12 базовых операций БПФ. Это делает процесс отладки более прозрачным и позволяет избежать дополнительных ошибок при написании программы. В то же время COLAMO-программа для выполнения алгоритма свертки, написанная без использования специальных функций, довольно громоздка, и на одну базовую операцию БПФ требуется десять каналов распределенной памяти. Помимо этого количество операторов в такой программе почти в четыре раза больше, чем в COLAMO-программе с использованием специальных функций.

Производительность базового модуля 16V4-50 с макрообъектом, созданным с использованием специальных функций библиотеки «LibDSP» для расчета спектра действительного сигнала размера $N = 1024$, равна 33,8 Гфлопс, что составляет 67,6% от пиковой производительности.

Заключение

В статье рассмотрены примеры решения задач ЦОС на базовом модуле 16V4-50 реконфигурируемой вычислительной системы с макрообъектной архитектурой. На конкретном примере создания макрообъекта, ориентированного на решение задач ЦОС, показано, что его разработка является комплексной задачей, требующей совместного решения схемотехнических, алгоритмических и программных подзадач. Однако созданный макрообъект существенно упрощает дальнейшее использование РВС при решении задач из этой же предметной области. Приведенные примеры реализации макрообъекта как аппаратным, так и программным способом, показывают высокую эффективность этих решений.

Следует обратить внимание на то, что тактовая частота работы макрообъектов, реализованных в базовом модуле 16V4-50, составляет всего 160 МГц. Тем не менее реальная производительность 16V4-50 на задачах ЦОС при обоих способах создания макрообъектов составляет от 38,6 до 33,7 Гфлопс, что превышает 67% его пиковой производительности. Такая высокая эффективность вычислений достигается оптимальным соответствием вычислительных структур структуре решаемых задач.

Литература

1. Семерников Е.А. Макропроцессор цифровой обработки сигналов для многопроцессорных вычислительных систем со структурно-процедурной организацией вычислений / Е.А. Семерников, Ю.И. Доронченко, И.Л. Трунов // Искусственный интеллект. – 2004. – № 3. – С. 157-163.
2. Семерников Е.А. К вопросу устойчивости конвейерных рекурсивных фильтров / Е.А. Семерников // Искусственный интеллект. – 2005. – № 4. – С. 713-723.
3. Семерников Е.А. Формирование адресных последовательностей для конвейерных вычислителей БПФ / Е.А. Семерников, Ю.И. Доронченко, В.Б. Коваленко, М.С. Кочерга // Искусственный интеллект. – 2006. – № 3. – С. 68-78.
4. Реконфигурируемые мультиконвейерные вычислительные структуры / [Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И.]. – Ростов-на-Дону : Изд-во ЮНЦ РАН, 2008. – 320 с.
5. Семерников Е.А. Перестановки элементов последовательностей в быстрых алгоритмах цифровой обработки сигналов / Е.А. Семерников, Е.Е. Семерникова // Вестник Южного научного центра Российской академии наук. – 2006. – Т. 2, № 4. – С. 25-30.
6. Семерников Е.А. Конвейерный макропроцессор цифровой обработки сигналов со структурно-процедурной организацией вычислений / Е.А. Семерников, Ю.И. Доронченко // Вестник компьютерных и информационных технологий. – 2005. – № 8. – С. 49-55.
7. Рабинер Л. Теория и применение цифровой обработки сигналов / Л. Рабинер, Б. Гоулд. – М. : Мир, 1987. – 848 с.
8. Коваленко В.Б. Два подхода к созданию макрообъектов для реконфигурируемых вычислительных систем на основе ПЛИС / В.Б. Коваленко, М.С. Кочерга, Е.А. Семерников // Суперкомпьютерные системы и их применение (SSA’2008) : материалы Второй Международной научной конференции (27 – 29 октября 2008 г.). – Минск : ОИПИ НАН Беларуси, 2008. – С. 60-64.

В.Б. Коваленко, М.С. Кочерга, Є.А. Семерніков

Реконфігуровані обчислювальні системи для цифрової обробки сигналів

У статті розглядаються питання розв’язання задач цифрової обробки сигналів на реконфігурованих обчислювальних системах з макрооб’єктною архітектурою.

V.B. Kovalenko, M.S. Kochergа, Ye.A. Semernikov

The reconfigurable Computer System for Digital Signal Processing

Problems of solving digital signal processing tasks on reconfigurable computer systems with macroobject architecture are discussed in the paper.

Статья поступила в редакцию 26.06.2009.